

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08293612 A**

(43) Date of publication of application: **05.11.96**

(51) Int. Cl.  
**H01L 29/786**  
**H01L 21/336**  
**H01L 21/265**  
**H01L 21/266**

(21) Application number: **07123243**

(22) Date of filing: **24.04.95**

(71) Applicant: **CASIO COMPUT CO LTD**

(72) Inventor: **SADABETTO HIROYASU**

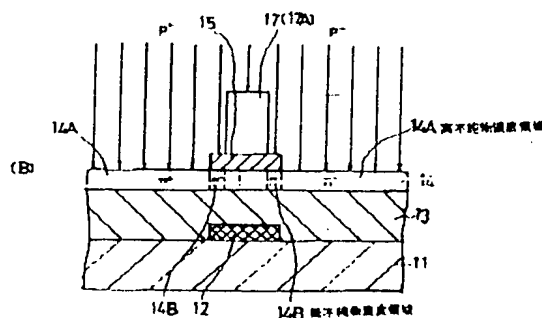
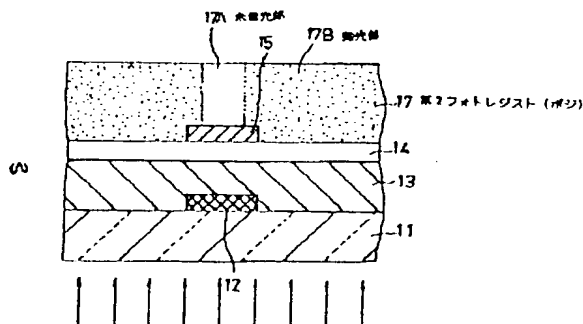
**(54) METHOD OF MANUFACTURING THIN FILM TRANSISTOR**

**(57) Abstract:**

**PURPOSE:** To provide a method of manufacturing thin film transistors, capable of forming an impurity region of LDD structured thin film transistor by one time ion implanting step.

**CONSTITUTION:** An impurity implantation controlling thin film 15 self-matchingly formed is coated with the second photoresist 17 to perform back side exposure in a large exposure amount to the formation on an exposed part 17A in width narrower than that of a gate electrode 12. Later, the ion implanting step is performed using the second photoresist 17 and the impurity implantation controlling thin film 15 as masks by later developing step. At this time, a high impurity concentration region 14A can be in a self-alignment manner formed with the gate electrode 12 also enabling a low impurity concentration region 14B to be junction-formed inside said region 14A. Through these procedures, the manufacturing step can be simplified by one time ion-implanting step.

COPYRIGHT: (C)1996,JPO



Patent  
date  
1996

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293612

(43) 公開日 平成8年(1996)11月5日

| (51) Int.Cl. <sup>6</sup> | 識別記号   | 庁内整理番号 | F I           | 技術表示箇所  |
|---------------------------|--------|--------|---------------|---------|
| H 0 1 L                   | 29/786 |        | H 0 1 L 29/78 | 6 1 6 A |
|                           | 21/336 |        | 21/265        | S       |
|                           | 21/265 |        |               | M       |
|                           | 21/266 |        | 29/78         | 6 1 6 N |

審査請求 未請求 請求項の数4 F D (全 13 頁)

(21) 出願番号 特願平7-123243

(22) 出願日 平成7年(1995)4月24日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 定別当 裕康

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

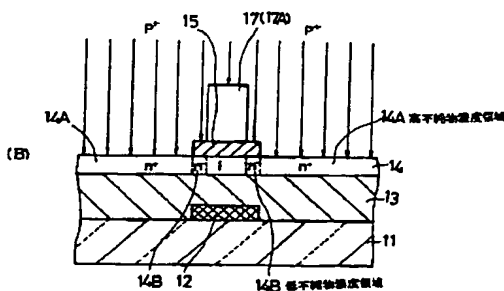
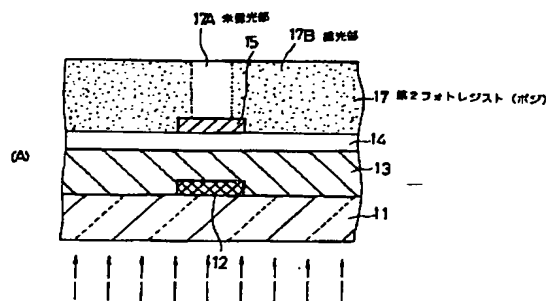
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 LDD構造の薄膜トランジスタの不純物領域を1回のイオン注入で形成できる薄膜トランジスタの製造方法を提供する。

【構成】 自己整合的に形成した不純物注入制御用薄膜15の上に第2フォトレジスト17を塗布し、総露光量の大きい裏面露光を行ってゲート電極12より幅の狭い未露光部17Aを形成する。この後現像を行って、第2フォトレジスト17と不純物注入制御用薄膜15とをマスクとしてイオン注入を行う。高不純物濃度領域14Aはゲート電極12に自己整合的に形成でき、その内側に低不純物濃度領域14Bが接合して形成できる。このように、イオン注入工程が1回でよいため、製造工程を簡略化することができる。



## 【特許請求の範囲】

【請求項1】 光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、

前記ゲート電極および前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に光透過性を有する半導体薄膜を形成する工程と、

前記半導体薄膜上に光透過性を有する不純物注入制御用薄膜を形成する工程と、

前記不純物注入制御用薄膜上にポジ型の第1フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から露光する第1の露光により前記第1のフォトリソを前記ゲート電極と自己整合的にパターンニングする工程と、

前記パターンニングされた第1フォトリソをマスクとして前記不純物注入制御用薄膜を自己整合的にパターンニングする工程と、

パターンニングされた前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から、前記第1の露光より、総露光量の大きい第2の露光を前記第2フォトリソに施し、前記第2フォトリソのゲート長方向の両側縁部が前記不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングする工程と、

前記不純物注入制御用薄膜および前記第2フォトリソをマスクとして用いて前記半導体薄膜に不純物イオンを注入してソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、

前記ゲート電極と前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上に光透過性を有する半導体薄膜を形成する工程と、

前記半導体薄膜の上に光透過性を有する不純物注入制御用薄膜を形成する工程と、

前記不純物注入制御用薄膜の上に第1フォトリソを塗布した後、第1の露光を行って、前記第1フォトリソのゲート長方向の両側縁部が前記ゲート電極のゲート長方向の両側縁部より所定寸法外側に位置するようにパターンニングする工程と、

前記第1フォトリソに自己整合的に前記不純物注入制御用薄膜をパターンニングする工程と、

前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から光を照射する第2の露光を行い、前記第2フォトリソを前記ゲート電極に自己整合的にパターンニングする工程と、

前記第2フォトリソおよび前記不純物注入制御用薄膜をマスクとして前記半導体薄膜に不純物イオンを注入して、ソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、

前記ゲート電極と前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、

10 前記ゲート絶縁膜の上に光透過性を有する半導体薄膜を形成する工程と、

前記半導体薄膜の上に光透過性を有する不純物注入制御用薄膜を形成する工程と、

前記不純物注入制御用薄膜の上にポジ型の第1フォトリソを塗布した後、前記絶縁性基板の裏面側から第1の露光を行って、前記第1フォトリソのゲート長方向の両側縁部が前記ゲート電極のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングする工程と、

20 前記第1フォトリソに自己整合的に前記不純物注入制御用薄膜をパターンニングする工程と、

前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から第2の露光を行って、前記第2フォトリソのゲート長方向の両側縁部が前記不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングする工程と、

30 前記第2フォトリソおよび前記不純物注入制御用薄膜および前記半導体薄膜の上に、所定膜厚のメタル薄膜を堆積させ、該メタル薄膜の上からイオン注入を行って前記半導体薄膜に不純物イオンを注入して、ソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記メタル薄膜は、クロム、タンガステン、モリブデン、チタン、タンタル、ニッケル、パラジウムから選択され、前記イオン注入により前記不純物注入制御用薄膜の前記メタルとの界面にシリサイドを形成することを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、薄膜トランジスタの製造方法に関し、さらに詳しくは、LDD (Lightly Doped Drain) 構造を持つ、逆スタガ型の薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 近年、アクティブマトリクス型LCD (AM-LCD) の高精細化が益々進んでいる。これに

伴いAM-LCDにスイッチング素子として用いられる薄膜トランジスタ(TFT)の微細化が進み、チャネル長が短くなってくると、電界ごとにドレイン近傍の電界強度はきわめて大きくなる。高電界になるとチャネル移動度 $\mu$ が低下すると共に、トランジスタの相互コンダクタンスも低下する。また、このように高電界になると、ドレイン近傍でインパクトイオン化(impact ionization)が起これ、電子-正孔対(ホットキャリア)が発生し、しきい値電圧 $V_{th}$ の変動をはじめとするショートチャネル効果をもたらす。デバイスの信頼性のうえで重大な影響を及ぼす。この対策として、薄膜トランジスタにLDD(lightly doped drain)構造を採用し、ドレイン近傍での電界強度を小さくすることが行われている。ところで、ソース・ドレインの不純物濃度を高くしたい場合には、ゲート電極に重ねて(半導体層のゲート電極に対向する領域内に)LDD領域(低不純物濃度領域)を形成することが行われている。

【0003】従来、このような構造の薄膜トランジスタの製造方法としては、図13に示すような方法が知られている。この方法は、まずガラス基板1の上にクロム(Cr)などの導電性膜を成膜し、この導電性膜をパターニングしてゲート電極2を形成する。そして、ゲート電極2およびガラス基板1の上にゲート絶縁膜3を堆積させた後、このゲート絶縁膜3上に半導体薄膜4を堆積させる。そして、図13(A)に示すように、ゲート電極2の上方で、かつ半導体薄膜4の上にゲート電極2の長さ(ゲート長)より短い長さの第1のレジスト5をフォトリソグラフィ技術を用いてパターニングし、この第1のレジスト5をマスクとして例えばリン(P)を低濃度条件でイオン注入して半導体薄膜4に低不純物濃度領域4Aを形成する。

【0004】次に、第1のレジスト5を剥離した後、半導体薄膜4上に第2のレジスト6を塗布し、ガラス基板1の裏面側からゲート電極2をマスクとして露光を照射して裏面露光を行う。その後、現像を行い、第2のレジスト6を図13(B)に示すようにゲート電極2に自己整合的にパターン形成する。さらに、この第2のレジスト6をマスクとして、リン(P)を高濃度条件でイオン注入して半導体薄膜4に高不純物濃度領域4Bを形成する。このような方法を行うことにより、ゲート電極2に対向する部分の半導体薄膜4に低不純物濃度領域4A、4Aが形成されるとともに、これら低不純物濃度領域4Aのゲート長方向の外側に隣接するように高不純物濃度領域(ソース・ドレイン領域)が形成され、LDD構造の薄膜トランジスタを形成することができる。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の薄膜トランジスタの製造方法においては、第1のレジスト5を自己整合的にパターニングすることができないため、露光マスク(レチクル)を精度よく位置

合わせしないと、ゲート電極2との間にズレが生じるという問題がある。このようにズレが生じた場合、ゲート長方向の低不純物濃度領域4Aの長さが両側で著しく異なったり、一方の低不純物濃度領域4Aが消失するなどの問題が起こる。この問題は、特に素子サイズが小さい場合や基板が大面積の場合に顕著となる。また、従来の製造方法では、裏面露光を行っても、イオン注入工程を2回行う必要があるため工程が複雑であった。

【0006】この発明は、イオン注入工程が1回で確実に低濃度不純物領域と高濃度不純物領域とからなるLDD構造の薄膜トランジスタの製造方法を提供することを、目的としている。

【0007】

【課題を解決するための手段】請求項1記載の発明は、光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、前記ゲート電極および前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に光透過性を有する半導体薄膜を形成する工程と、前記半導体薄膜上に光透過性を有する不純物注入制御用薄膜を形成する工程と、前記不純物注入制御用薄膜上にポジ型の第1フォトレジストを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から露光する第1の露光により前記第1のフォトレジストを前記ゲート電極と自己整合的にパターニングする工程と、前記パターニングされた第1フォトレジストをマスクとして前記不純物注入制御用薄膜を自己整合的にパターニングする工程と、パターニングされた前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトレジストを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から、前記第1の露光より、総露光量の大きい第2の露光を前記第2フォトレジストに施し、前記第2フォトレジストのゲート長方向の両側縁部が前記不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法内側に位置するようにパターニングする工程と、前記不純物注入制御用薄膜および前記第2フォトレジストをマスクとして用いて前記半導体薄膜に不純物イオンを注入してソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えたことを特徴としている。

【0008】請求項2記載の発明は、光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、前記ゲート電極と前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に光透過性を有する半導体薄膜を形成する工程と、前記半導体薄膜の上に光透過性を有する不純物注入制御用薄膜を形成する工程と、前記不純物注入制御用薄膜の上に第1フォトレジストを塗布した後、第1の露光を行って、前記第1フォトレジストのゲート長方向の両側縁部が前記ゲート電極のゲート長方向の両側縁部より所定寸法外側に位置するようにパターニングする工程と、前記

第1フォトリソに自己整合的に前記不純物注入制御用薄膜をパターンニングする工程と、前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から光を照射する第2の露光を行い、前記第2フォトリソを前記ゲート電極に自己整合的にパターンニングする工程と、前記第2フォトリソおよび前記不純物注入制御用薄膜をマスクとして前記半導体薄膜に不純物イオンを注入して、ソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えたことを特徴としている。

【0009】請求項3記載の発明は、光透過性を有する絶縁性基板の表面側にゲート電極を形成する工程と、前記ゲート電極と前記絶縁性基板の上に光透過性を有するゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に光透過性を有する半導体薄膜を形成する工程と、前記半導体薄膜の上に光透過性を有する不純物注入制御用薄膜を形成する工程と、前記不純物注入制御用薄膜の上にポジ型の第1フォトリソを塗布した後、前記絶縁性基板の裏面側から第1の露光を行って、前記第1フォトリソのゲート長方向の両側縁部が前記ゲート電極のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングする工程と、前記第1フォトリソに自己整合的に前記不純物注入制御用薄膜をパターンニングする工程と、前記不純物注入制御用薄膜および前記半導体薄膜の上にポジ型の第2フォトリソを塗布し、前記ゲート電極をマスクとして前記絶縁性基板の裏面側から第2の露光を行って、前記第2フォトリソのゲート長方向の両側縁部が前記不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングする工程と、前記第2フォトリソおよび前記不純物注入制御用薄膜および前記半導体薄膜の上に、所定膜厚のメタル薄膜を堆積させ、該メタル薄膜の上からイオン注入を行って前記半導体薄膜に不純物イオンを注入して、ソース・ドレイン領域および低不純物濃度領域を形成する工程と、を備えることを特徴としている。

【0010】請求項4記載の発明は、前記メタル薄膜は、クロム、タングステン、モリブデン、チタン、タンタル、ニッケル、パラジウムから選択され、前記イオン注入により前記不純物注入制御用薄膜の前記メタルとの界面にシリサイドを形成することを特徴としている。

【0011】

【作用】請求項1記載の発明においては、不純物注入制御用薄膜がゲート電極に自己整合的に形成される。また、第2フォトリソは、この不純物注入制御用薄膜より幅狭に（ゲート長方向の長さが短く）形成されると共に、ゲート長方向の両側縁部は不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法だけ内側に位置するように形成される。このように第2フォトリソ

が不純物注入制御用薄膜より幅狭に形成できるのは、第2フォトリソを露光する際の総露光量が第1フォトリソの総露光量より大きいためである。すなわち、露光時に露光される部分近傍の、ゲート電極の影が投影される部分では、第2フォトリソ中の感光剤に光の影響が及び光化学変化を起こし、この光化学変化を起こした部分は露光部分と同様に現像液に溶解するようになるためである。このように形成された不純物注入制御用薄膜と第2フォトリソとは、イオン注入のマスクとしての作用を持つが、不純物注入制御用薄膜は不純物イオンを所定の割合で透過させることができるため、不純物注入制御用薄膜に直接入射した不純物イオンは、下地の半導体薄膜に低濃度で注入される。また、第2フォトリソに直接入射した不純物イオンは、完全にフォトリソ中でその入射が阻止される。一方、不純物注入制御用薄膜および第2フォトリソで覆われない部分の半導体薄膜には、入射を阻止するものが存在しないため、高濃度で注入される。このようにして形成される薄膜トランジスタは、1回のイオン注入により低不純物濃度領域と高不純物濃度領域（ソース・ドレイン領域）とが形成でき、低不純物濃度領域がゲート電極にゲート絶縁膜を介して重なり合ったLDD構造を構成することができる。

【0012】請求項2記載の発明においては、第1フォトリソのゲート長方向の両側縁部がゲート電極のゲート長方向の両側縁部より所定寸法外側に位置するようにパターンニングされるため、これをマスクとして異方性エッチングされる不純物注入制御用薄膜もゲート長方向の両側縁部がゲート電極のゲート長方向の両側縁部より所定寸法外側に位置するようにパターンニングされる。また、ポジ型の第2フォトリソは、絶縁性基板の裏面側から露光光が照射されてゲート電極に自己整合的にパターンニングされる。そして、この第2フォトリソおよび不純物注入制御用薄膜をマスクとして用いることにより、1回のイオン注入でソース・ドレイン領域および低不純物濃度領域を形成することが可能となる。

【0013】請求項3記載の発明においては、総露光量の大きい第1の露光により第1フォトリソのゲート長方向の両側縁部がゲート電極のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングすることができる。また、第1フォトリソをマスクとして異方性エッチングされる不純物注入制御用薄膜も同様に、その両側縁部がゲート電極のゲート長方向両側縁部より所定寸法内側に位置するように形成される。第2フォトリソの露光により、第2フォトリソのゲート長方向の両側縁部が不純物注入制御用薄膜のゲート長方向の両側縁部より所定寸法内側に位置するようにパターンニングすることができる。不純物注入制御用薄膜および第2フォトリソの上にメタル薄膜を堆積させた状態で、ゲート電極のゲート長方向の両側縁部と、不純物

注入制御用薄膜の側壁に付着したメタル薄膜の表面と、の位置が一致するように、メタル薄膜の膜厚を設定してイオン注入を行えば、半導体薄膜にゲート電極の両側縁部の位置を境にして外側にソース・ドレイン領域、その内側に低不純物濃度領域を形成することが可能となる。また、このメタル薄膜をクロム、タングステン、モリブデン、チタン、タンタル、ニッケル、パラジウムなどの高融点金属からなるものとすれば、イオン注入時に注入エネルギーにより、メタル薄膜と半導体薄膜との接触部にシリサイド層を形成することが可能となり、このシリ

【0014】

【実施例】以下、この発明に係る薄膜トランジスタの製造方法の詳細を図面に示す各実施例に基づいて説明する。

（実施例1）図1～図3は、請求項1記載の発明に係る、逆スタガ型の薄膜トランジスタの製造方法の実施例1を示す工程断面図である。本実施例では、図1（A）に示すようにガラスなどの光透過性を有する絶縁性基板11の表面上に、例えばクロム（Cr）膜を成膜し、このクロム膜をフォトリソグラフィ技術およびエッチング技術を用いて加工してゲート電極12を形成する。その後、全面にSiO<sub>2</sub>でなるゲート絶縁膜13をCVD法を用いて堆積させる。そして、このゲート絶縁膜13の上に真性のアモルファスシリコンでなる半導体薄膜14を同じくCVD法によって堆積させる。さらに、半導体薄膜14上に窒化シリコンでなる不純物注入制御用薄膜15を同じくCVD法によって堆積させる。なお、ゲート絶縁膜13、半導体薄膜14および不純物注入制御用薄膜15は、それぞれ光透過性を持つ。また、これらの成膜に当たっては、例えばマルチチャンバシステムを用いてイン・サイトで行うことができる。

【0015】次に、図1（A）に示すように、不純物注入制御用薄膜15の上に、ポジ型の第1フォトレジスト16を塗布した後、絶縁性基板11の裏面側から通常の条件（例えば、光源：水銀灯200W、露光エネルギー：200mJ/cm<sup>2</sup>）で第1の露光としての裏面（背面）露光を行う。このとき、ゲート電極12が露光マスクとなり、このゲート電極12に自己整合的に第1フォトレジスト16が露光される。なお、本実施例では、第1フォトレジスト16には、例えばアルカリ可溶性高分子化合物としてのフェノール樹脂に、感光剤として $\alpha$ -ナフトキノンジアジドを用いたレジストを用いている。このような裏面露光により、図1（A）に示すように、第1フォトレジスト16のゲート電極12と対向（対面）する部分は未露光部16Aとなり、ゲート電極12に対向しない部分は露光の光が到達して露光部16

Bとなる。なお、この露光部16Bでは、光化学反応により $\alpha$ -ナフトキノンジアジドがインデンカルボン酸に変化し、アルカリ水溶液（現像液）に溶けるようになる。その結果、現像を行うと、図1（B）に示すようにゲート電極12と同一平面サイズのパターンである第1フォトレジスト（未露光部16A）16が残る。

【0016】次に、この第1フォトレジスト16をマスクとして、RIE（反応性イオンエッチング）などの異方性エッチングを行って、図2（A）に示すように、不純物注入制御用薄膜15をパターンニングする。その後、第1フォトレジスト16を剥離し、再度、同一種類の第2フォトレジスト17を塗布する。続いて、同図（A）に示すように、第2の露光としての裏面露光を行う。この裏面露光の露光条件は、上記した第1の露光より総露光量が大きい条件で行う。具体的には、例えば光源として1600Wの高圧水銀灯を用い、露光エネルギーを800mJ/cm<sup>2</sup>とする。なお、本実施例では、総露光量を大きくするために、光源の出力と露光時間とを共に増加させてもよく、光源の出力は単位時間の露光エネルギーを同じにし、露光時間だけを長くしてもよいし、また露光時間を同じにし単位時間当たりの露光エネルギーを変えてもよい。図12のグラフは、裏面露光における、露光エネルギーと、ゲート幅に対するフォトレジストのパターンの細り（後退）寸法との関係を示している。このグラフから判るように、露光エネルギーが増加するとそれに比例してフォトレジストのパターンの細りが生じる。この関係を利用することにより、本実施例の第1及び第2の露光を行うことができる。このような第2の露光としての裏面露光を行うと、図2（A）に示すように、未露光部17Aが第1の露光によるレジスト16Aの幅、すなわちゲート電極12よりもゲート長方向の幅が狭く形成される。すなわち、この第2の露光では、総露光量が第1の露光より大きいため、第2フォトレジスト17における、ゲート電極12の影になる部分と影にならない部分との境界から所定寸法内側まで感光剤が露光の光の影響を受け、露光部17Bがゲート電極12の影のできる領域に進出した状態となる。この第2フォトレジスト17を現像すると、図2（B）に示すような形状に、第2フォトレジスト（未露光部17A）17が残る。

【0017】次に、図2（B）に示すように、不純物注入制御用薄膜15および第2フォトレジスト17（17A）をマスクとして半導体薄膜14へイオン注入を行う。本実施例では、n型の不純物であるリン（P）を高濃度条件でイオン注入する。このイオン注入を行うと、図2（B）に示すように、不純物注入制御用薄膜15で覆われずに露出する領域の半導体薄膜14には直接リンイオンが打ち込まれるため高不純物濃度領域14Aが形成される。ここで、不純物注入制御用薄膜15がゲート電極12に自己整合的に形成されているため、この高不

純物濃度領域14Aもゲート電極12に自己整合的に形成されることとなる。なお、ゲート電極12の両側に形成された高不純物濃度領域14Aは、ソース・ドレイン領域となる。一方、不純物注入制御用薄膜15のみに覆われた部分の半導体薄膜14には、不純物注入制御薄膜15があるために、入射イオンのすべてが到達せず、注入不純物濃度は少なくなる。よって、この部分には上記高不純物濃度領域14Aと接合する低不純物濃度領域14Bが形成される。この低不純物濃度領域14Bは、LDD領域となる。なお、不純物注入制御用薄膜15の膜厚を調整すれば、この低不純物濃度領域14Bの不純物濃度を適宜設定することができる。また、第2フォトレジスト17(17A)直下の半導体薄膜14は、第2フォトレジスト17のブロッキング作用により、リンイオンが一切到達できず真性半導体のままである。

【0018】次に、第2フォトレジスト17を剥離した後、図3(A)に示すようにクロム(Cr)薄膜18をスパッタ法により堆積させる。そして、非酸化性雰囲気中でアニールを施して、クロムと下地シリコンとを反応させてクロムシリサイド層19を自己整合的に形成する。

【0019】そして、図3(B)に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いて素子分離(素子を島状に残すパターンニング)を行う。その後、クロム薄膜18のみを選択的にウェットエッチングを行って除去する。続いて、全面にAl-Ti合金膜を堆積させた後、フォトリソグラフィ技術およびRIEなどのドライエッチング技術を用いてAl-Ti合金膜を加工し、図3(C)に示すように、ソース・ドレイン電極20を形成する。このようにして、高不純物濃度領域14Aがゲート電極12に自己整合的に形成され、低不純物濃度領域14Bが高不純物濃度領域14Aの内側に接合する、LDD構造の薄膜トランジスタの製造が完了する。

【0020】本実施例においては、半導体薄膜14に高不純物濃度領域14Aと低不純物濃度領域14Bとを1回のイオン注入により形成することができる。また、イオン注入のマスクとなる不純物注入制御用薄膜15および第2フォトレジスト17のパターンニングに際してはゲート電極12を露光マスクとする裏面露光が行えるため、別途、露光用マスク(レチクル、フォトマスクなど)を用いる必要がなく、パターンニングを簡略化することができる。さらに、このような裏面露光に際して、第1の露光と第2の露光との総露光量を変えるだけで、同一マスク(ゲート電極12)を利用してパターンニングを行うことができると共に、不純物注入制御用薄膜15のゲート長方向の縁部と第2フォトレジスト17(17A)の縁部との距離を設定することができる。この距離は、低不純物濃度領域14Bのゲート長方向の長さに相当する。第2の露光では、第2フォトレジスト17の未

露光部17Aのゲート長方向の両側縁部を、不純物注入制御用薄膜15のゲート長方向の両側縁部から等しい距離だけ内側に位置させることができるため、従来のようにマスクの位置合わせのズレによる低不純物濃度領域のサイズや位置などが変動するという問題が発生する余地がない。このように、本実施例では製造に際してアライメントの問題が回避できるため、微細な素子や基板が大面積のものである場合でも確実にLDD構造を有する逆スタガ型の薄膜トランジスタを形成することが可能となる。

【0021】本実施例においては、第1の露光と第2の露光との総露光量を、露光出力や露光時間をパラメータとして異なるように設定した。しかし、不純物注入制御用薄膜15の両側縁部より所定距離だけ、第2フォトレジスト17の未露光部17Aのパターン縁部を後退させるためには、上記実施例1のように総露光量を変える方法を探る他に、光の波がゲート電極12の幾何学的な影の部分に回り込むように、回折させる方法を採用することができる。具体的には、ゲート電極12の大きさや形状に応じて光の波長を変化させて回折の度合を調整すればよい。また、フォトレジスト中に光散乱を起こさせる微細な粒子を混ぜその混合率を調整することにより、レジストパターン幅を細くするようにしてもよい。本実施例では、素子分離の後、半導体薄膜14上のクロム薄膜18を除去したが、これに限らずシリサイド化後クロム薄膜18を除去し、この後素子分離を行ってもよい。

【0022】(実施例2)図4~図6は、実施例2の工程断面図を示している。本実施例は、請求項3記載の発明に係る、逆スタガ型薄膜トランジスタの製造方法の実施例であり、平面的に見てゲート電極と低不純物濃度領域とが重なり合わない、所謂オフセットLDD構造の薄膜トランジスタの製造方法に関するものである。なお、本実施例の説明に当たり、上記実施例1と同一部材には同一の符号を付して説明を省略する。まず、本実施例では、図4(A)に示すように、上記した実施例1と同様な手法で、絶縁性基板11上に、ゲート電極12、ゲート絶縁膜13、半導体薄膜14、不純物注入制御用薄膜15を形成する。そして、不純物注入制御用薄膜15の上に、ポジ型の第1フォトレジスト16を塗布し、ゲート電極12の上方に当該ゲート電極12よりゲート長方向の長さの長い投影パターンを有するフォトマスク21を配置して第1の露光を行う。図中16Aは未露光部であり、16Bは露光部である。未露光部16Aのゲート長方向の両側縁部は、ゲート電極12のゲート長方向の両側縁部より所定寸法外側に位置するように設定されている。なお、本実施例においては、第1フォトレジストがポジ型であるが、ネガ型のフォトレジストを用いることもできる。ネガ型のフォトレジストを用いる場合は、フォトマスクの投影パターンは上記フォトマスク21の投影パターンと逆のパターンになる。



【0023】次に、現像を行って、図4(B)に示すように第1フォトレジスト16(未露光部16A)のパターン形成を行う。そして、この第1フォトレジスト16をマスクとして用いて不純物注入制御用薄膜15を異方性エッチングする。図5(A)は、不純物注入制御用薄膜15を異方性エッチングした後、第1フォトレジスト16を剥離した状態を示している。その後、図5(B)に示すように、全面にポジ型の第2フォトレジスト17を塗布し、通常の露光量の第2の露光を行う。この第2の露光は、絶縁性基板11の裏面(背面)側から露光光を照射する、所謂裏面露光を行う。この露光により、図5(B)に示すように、第2フォトレジスト17は、ゲート電極12に自己整合的に露光され、ゲート電極12と対面する領域に形成される未露光部17Aが形成され、その両外側に露光部17Bが形成される。

【0024】その後、図6(A)に示すように、現像を行って、第2フォトレジスト17(未露光部17A)をパターン形成する。次に、第2フォトレジスト17および不純物注入制御用薄膜15をマスクとして用いてリン(P)を高濃度条件でイオン注入する。この結果、露出した領域の半導体薄膜14にはリンが高濃度条件で注入され、高不純物濃度領域14Aが形成される。この高不純物濃度領域14Aは、ゲート電極12より幅の広い不純物注入制御用薄膜15のエッジ部より外側に形成されるため当然ゲート電極12よりゲート長方向外側に形成される。また、第2フォトレジスト17の直下の半導体薄膜14には、第2フォトレジスト17のブロッキング作用により、リンイオンは到達しないため、真性半導体のままである。さらに、第2フォトレジスト17で覆われていない部分の不純物注入制御用薄膜15の直下の半導体薄膜14には、照射イオンの幾分かが到達するため低不純物濃度領域14Bとなる。上記高不純物濃度領域14Aは、ソース・ドレイン領域となり、上記低不純物濃度領域14BはLDD領域となる。なお、本実施例では、低不純物濃度領域14Bが、ゲート電極12と自己整合的にパターンニングされた第2フォトレジスト17の外側に形成される。すなわち、低不純物濃度領域14Bは、ゲート電極12の外側に形成される、所謂オフセットLDD構造となる。

【0025】次に、第2フォトレジスト17を剥離した後、上記した実施例1と同様の手法で高不純物濃度領域14Aの表面にクロムシリサイド層19の形成、素子分離工程、ソース・ドレイン電極20の形成工程などを行うことにより、図6(B)に示すような薄膜トランジスタの製造が完了する。

【0026】本実施例においても、上記実施例1と同様にソース・ドレイン領域となる高不純物濃度領域14AとLDD領域となる低不純物濃度領域14Bとの形成が1回のイオン注入で可能となり、イオン注入工程を削減できる。また、イオン注入用マスクの形成工程において

裏面露光を1回行っているため、従来に比較して露光用マスクを1枚削減することができる。なお、図7は、本実施例の製造方法を用いて形成した、所謂ダブルゲート型のフォトセンサの断面図である。このフォトセンサを製造するには、図6(B)に示す構造を形成した後に、不純物注入制御用薄膜15を例えばウェットエッチングにより除去し、次に、図7に示すように、例えば窒化シリコンでなる上部ゲート絶縁膜22をCVD法により堆積させた後、全面に例えばITOなどの透明な導電性膜を形成し、この導電性膜をパターンニングして上部ゲート電極23を形成する。このようにして形成されたフォトセンサは、光電変換半導体層となる真性半導体部分の両側に低不純物濃度領域14Bを備えているため、素子が微細化されたときにゲート電極12と半導体薄膜14とを備えて構成される(逆スタガ型)薄膜トランジスタにショートチャネル効果がもたらされるのを抑制する作用がある。このため、センス電流を検出する際のしきい値電圧 $V_{th}$ の変動を防止することが可能となる。

【0027】(実施例3) 図8~図11は、実施例3の工程断面図を示している。本実施例は、請求項3記載の発明に係る、逆スタガ型の薄膜トランジスタの製造方法の実施例である。まず、本実施例においては、ガラスでなる絶縁性基板31上に例えばクロム(Cr)膜を成膜し、このクロム膜をフォトリソグラフィ技術およびエッチング技術を用いて加工してゲート電極32を形成する。その後、全面に、例えば $SiO_2$ でなるゲート絶縁膜33をCVD法を用いて堆積させる。そして、このゲート絶縁膜33の上に真性のアモルファスシリコンでなる半導体薄膜34を同じくCVD法によって堆積させる。さらに、半導体薄膜34の上に例えば窒化シリコンでなる不純物注入制御用薄膜15を同じくCVD法によって堆積させる。その後、不純物注入制御用薄膜35と半導体薄膜34を、フォトリソグラフィ技術および異方性エッチング技術を用いて、島状に素子分離加工する。

【0028】その後、図8(A)に示すように、全面にポジ型の第1フォトレジスト36を塗布した後、絶縁性基板31の裏面側から露光の光を照射させて第1の露光を行う。なお、この第1の露光は、通常のセルフアライメント露光の総露光量よりも大きい条件で行う。具体的には、例えば光源として1800Wの高圧水銀灯を用い、露光エネルギーを $900\text{ mJ/cm}^2$ とする。また、本実施例では、第1フォトレジスト16には、例えばアルカリ可溶性高分子化合物としてのフェノール樹脂に、感光剤として $\alpha$ -ナフトキノンジアジドを用いたレジストを用いている。第1の露光の結果、図8(A)に示すように、第1フォトレジスト36には未露光部36Aと露光部36Bとが形成される。露光部36Bは、ゲート電極32の幾何学的に影となる部分に所定距離 $L1$ だけ進出した形状となる。そして、第1フォトレジスト

36の現像を行うと、図8(B)に示すようなパターンが形成される。この第1フォトレジスト36のゲート長方向の両側縁部は、当然ながらゲート電極32のゲート長方向の両側縁部より所定距離L1だけ内側に位置する。

【0029】次に、図9(A)に示すように、第1フォトレジスト36をマスクとして用いて、不純物注入制御用薄膜35を異方性エッチングする。その結果、不純物注入制御用薄膜35のゲート長方向の両側縁部も、ゲート電極32のゲート長方向の両側縁部より所定距離L1

だけ内側に位置することとなる。

【0030】そして、第1フォトレジスト36を剥離した後、ポジ型の第2フォトレジスト37を全面に塗布する。その後、絶縁性基板31の裏面側から露光の光を照射して第2の露光を行う。この第2の露光は、上記した第1の露光より総露光量が大きい条件で行う。具体的には、例えば光源として1800Wの高圧水銀灯を用い、露光エネルギーを1000mJ/cm<sup>2</sup>とする。この結果、第2フォトレジスト37には未露光部37Aと露光部37Bとが形成される。この第2の露光では、第1の露光より総露光量が大きいので、ゲート電極32の幾何学的に影となる部分のより内側の領域まで感光剤が影響を受け、未露光部37Aのゲート長方向の両側縁部はゲート電極32の両側縁部より所定距離L2(L2>L1)だけ内側に位置するようになる。第2フォトレジスト37を現像すると、図10(A)に示すように未露光部37Aが残るパターンとなる。

【0031】次に、図10(B)に示すように、全面にタングステン薄膜38を例えばスパッタ法により、膜厚がほぼ(L2-L1)となるように全面に堆積させる。この結果、不純物注入制御用薄膜35の側壁に付着したタングステン薄膜38の外側面は、基板平面で見るとゲート電極32のゲート長方向の縁部の位置と一致する。その後、n型の不純物であるリン(P)を半導体薄膜34へ、高エネルギー型のイオン注入装置を用いて高不純物濃度条件で打ち込み、高不純物濃度領域34Aと低不純物濃度領域34Bとを形成する。高不純物濃度領域34Aは、タングステン薄膜38を通過したリンイオンが打ち込まれてなり、タングステン薄膜38の表面に入射したイオンの大部分が半導体薄膜34中に打ち込まれるため、不純物濃度は高濃度となっている。そして、高不純物濃度領域34Aとタングステン薄膜38の界面には、イオン注入エネルギーによってシリコン(Si)とタングステン(W)とが反応を起こしてタングステンシリサイド層39が形成される。また、低不純物濃度領域34Bは、平面的に見て、不純物注入制御用薄膜35の側壁に付着したタングステン薄膜38の外側面と、第2フォトレジスト37の側壁に付着したタングステン薄膜38の外側面と、の間の領域にほぼ対応する半導体薄膜34中に形成される。この低不純物濃度領域34Bには、不

純物注入制御用薄膜35とその側壁に沿って立ち上がるタングステン薄膜38を介してリンイオンが打ち込まれるため、半導体薄膜34に到達できる注入イオンは少なく低不純物濃度となる。また、この低不純物濃度領域34Bの上面にもタングステンシリサイド層39Aが形成されるが、到達する注入イオンが少ないためシリサイド化するためのエネルギーが小さく、厚さの極めて薄い層となる。このように低不純物濃度領域34B上のシリサイド層が薄いので、薄膜トランジスタの特性に悪影響を与えることがない。さらに、第2フォトレジスト37に入射したリンイオンは、フォトレジストの注入阻止作用により半導体薄膜37には一切到達せず、半導体薄膜34は真性半導体のままである。本実施例では、1回のイオン注入工程で、ソース・ドレイン領域となる高不純物濃度領域34AとLDD領域となる低不純物濃度領域34Bとを一括して形成することができる。

【0032】次に、図示しないがソース・ドレイン電極となる部分のタングステン薄膜38をフォトレジストで覆い、エッチングを施すことにより、ソース・ドレイン電極となる部分以外の未反応のタングステン薄膜38を除去し、図11に示すようなソース・ドレイン電極38Aを形成することができる。その後、第2フォトレジスト37を剥離すれば、本実施例の薄膜トランジスタの製造が終了する。なお、ソース・ドレイン電極38Aの形成工程では、タングステン薄膜38をエッチングした後に、第2フォトレジスト37を剥離したが、リフトオフ法を用いて第2フォトレジスト37を除去した後にエッチングを行ってもよい。このようにして形成された薄膜トランジスタは、ゲート電極32と低不純物濃度領域34Bとがゲート絶縁膜33を介して重なり合う構造となり、所謂ゲートオーバーラップLDD構造となる。

【0033】なお、本実施例においては、タングステン薄膜38をスパッタ法により堆積させたが、例えば窒化チタン(TiN)やチタンタングステン(TiW)などの密着層をスパッタ法により下地として堆積させた後に、コールドウォータ型のCVD装置を用いて、六フッ化タングステン(WF6)と水素(H2)をソースガスとしてプラズマCVDを行ってプラズマタングステン薄膜を形成してもよい。この場合、膜厚が均一でステップカバレッジの良好なタングステン膜を形成することができる。また、本実施例ではタングステン薄膜38をソース・ドレイン電極38Aとしたが、シリサイド化後タングステン薄膜38を全て除去した後、ソース・ドレイン電極となる金属を堆積、パターニングし、ソース・ドレイン電極はAl等の金属でも差し支えない。以上、実施例1~3について説明したが、この発明はこれらに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記各実施例においては、n型の薄膜トランジスタを製造するため半導

体薄膜にリンをイオン注入したが、この他同じ導電型のヒ素(As)をイオン注入してもよい。また、p型の薄膜トランジスタを製造する場合であれば、不純物としてボロン(B)をイオン注入してもよい。また、上記各実施例では、シリサイド層を形成するためにクロム(Cr)やタングステン(W)を用いたが、この他にモリブデン、チタン、タンタル、ニッケル、パラジウムなどを用いてもよい。さらに、上記各実施例では半導体層としてアモルファスシリコンを用いたがポリシリコンを適用してもよい。さらにまた、フォトレジストは露光手段等の条件に応じて各種変更可能である。

【発明の効果】以上の説明から明らかなように、この発明によれば、ソース、ドレイン領域とLDD領域となる低不純物濃度領域とを1回のイオン注入工程で同時に形成できる効果を奏する。また、この発明によれば、イオン注入用マスクを用いる必要がなくなり、またはイオン注入用マスクを用いる回数を削減できるため、LDD構造を持つ薄膜トランジスタの製造工程を簡略化することができるという効果がある。特に、請求項1または請求項2記載の発明によれば、露光条件を変えるだけでパターン幅を任意に設定できるため、パターンの位置ズレが発生することがなく、素子が微細化した場合や、基板が大型化した場合に有利となる。さらに、請求項3記載の発明によれば、イオン注入を行うことでオーミックコンタクト層として機能するシリサイド層を同時に形成できるという効果がある。

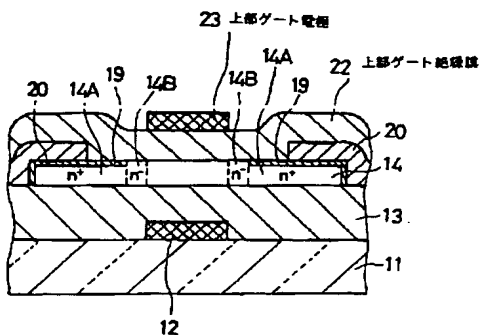
#### 【図面の簡単な説明】

【図1】(A)および(B)はこの発明の実施例1の製造工程を示す工程断面図。

【図2】(A)および(B)はこの発明の実施例1の製造工程を示す工程断面図。

【図3】(A)～(C)はこの発明の実施例1の製造工

【図7】



程を示す工程断面図。

【図4】(A)および(B)はこの発明の実施例2の製造工程を示す工程断面図。

【図5】(A)および(B)はこの発明の実施例2の製造工程を示す工程断面図。

【図6】(A)および(B)はこの発明の実施例2の製造工程を示す工程断面図。

【図7】実施例2を用いて製造したフォトセンサの断面図。

【図8】(A)および(B)はこの発明の実施例3の製造工程を示す工程断面図。

【図9】(A)および(B)はこの発明の実施例3の製造工程を示す工程断面図。

【図10】(A)および(B)はこの発明の実施例3の製造工程を示す工程断面図。

【図11】この発明の実施例3の製造工程を示す工程断面図。

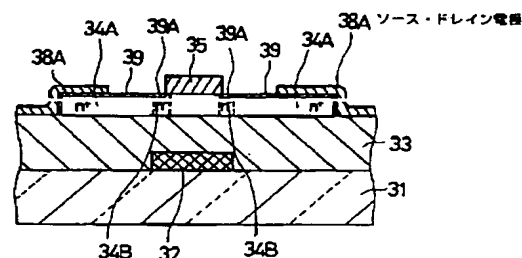
【図12】裏面露光を行った場合の露光エネルギーとパターン細りとの関係を示すグラフ。

【図13】(A)および(B)は従来の薄膜トランジスタの製造工程を示す工程断面図。

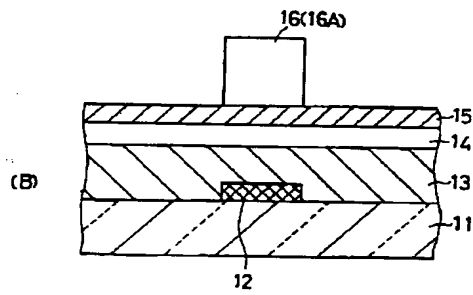
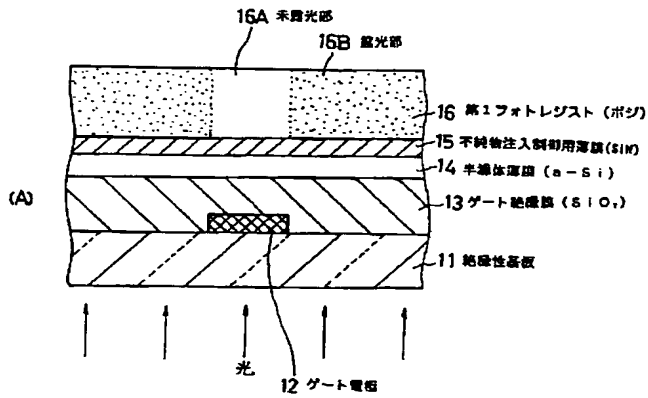
#### 【符号の説明】

- 11 絶縁性基板
- 12 ゲート電極
- 14 半導体薄膜
- 14A 高不純物濃度領域
- 14B 低不純物濃度領域
- 15 不純物注入制御用薄膜
- 16 第1フォトレジスト
- 17 第2フォトレジスト
- 38 タングステン薄膜
- 39 タングステンシリサイド層

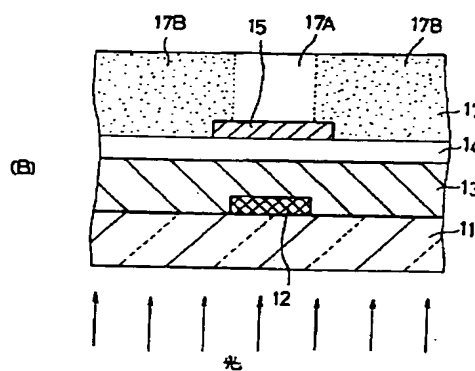
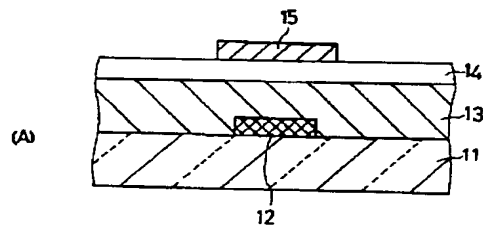
【図11】



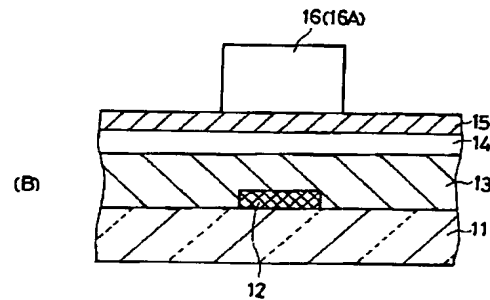
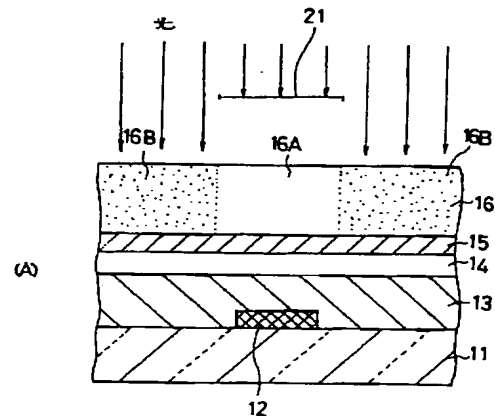
【図1】



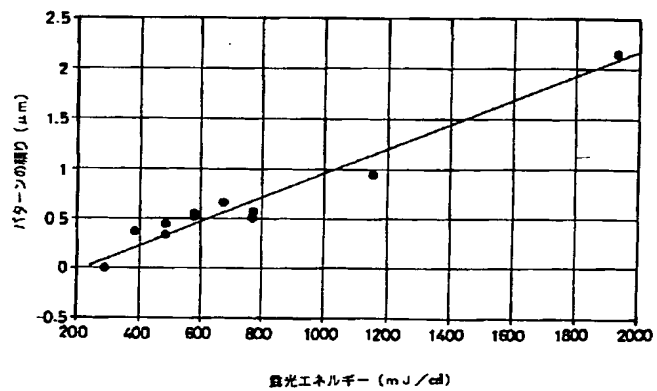
【図5】



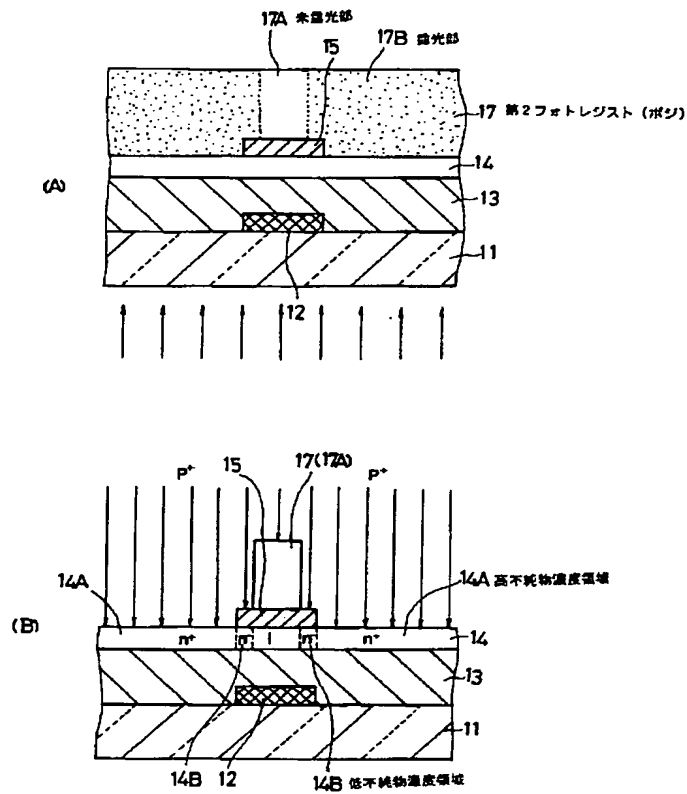
【図4】



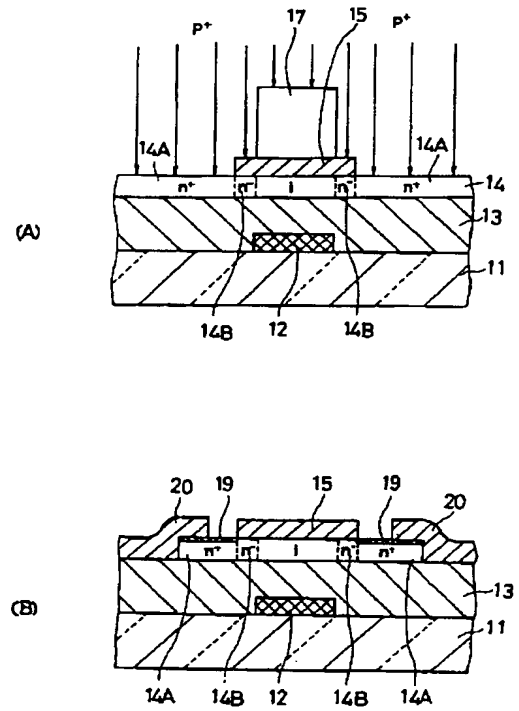
【図12】



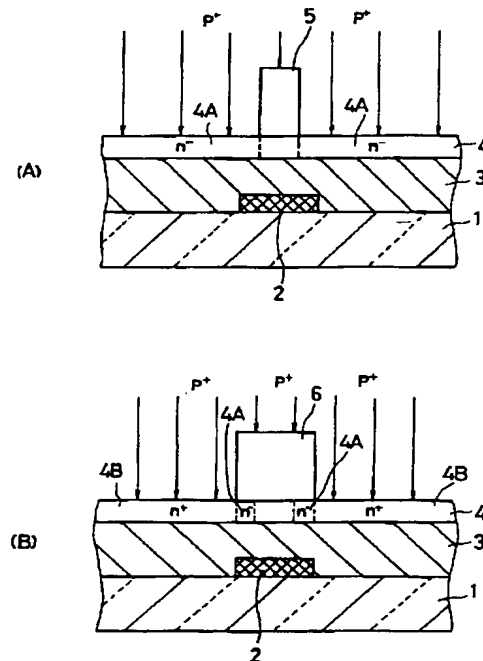
【図2】



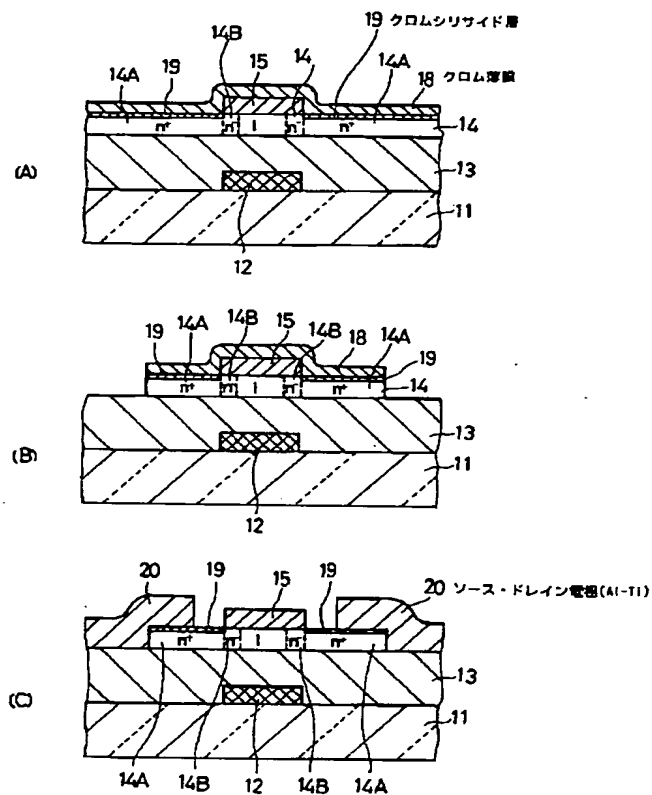
【図6】



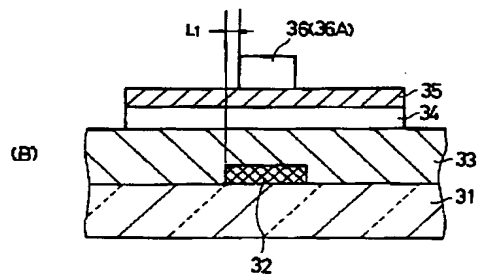
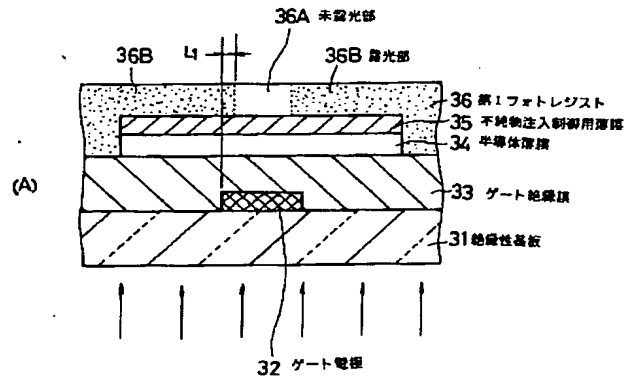
【図13】



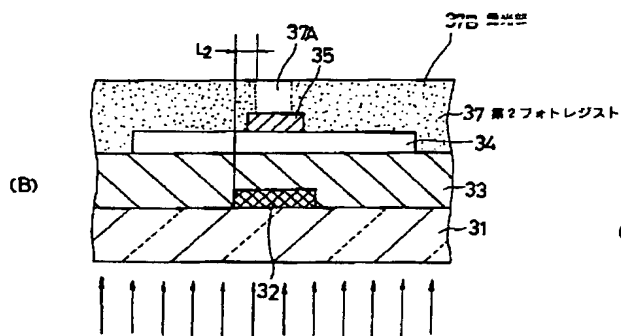
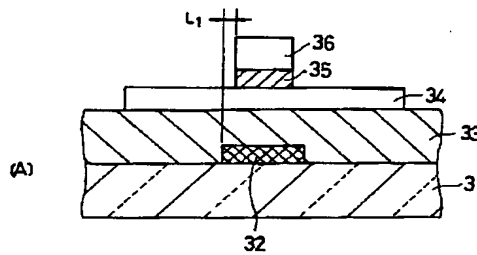
【図3】



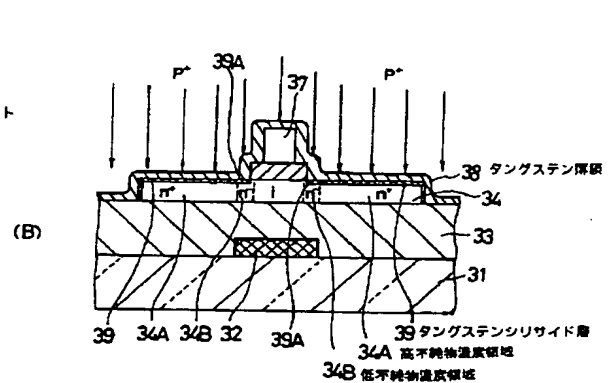
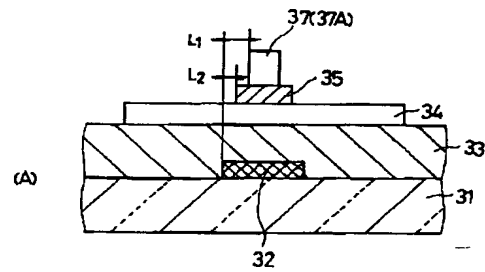
【図8】



【図9】



【図10】



THIS PAGE BLANK (USPTO)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**